PCS 2215

Fundamentos de Engenharia de Computação II

Aulas 23

Biestáveis

Jaime Simão Sichman

Professor Responsável

versão: 1.1 (agosto 2002)

Circuitos Lógicos Seqüenciais

- Os circuitos lógicos podem ser divididos em duas classes:
  - circuitos combinatórios
  - circuitos seqüenciais
- Nos circuitos combinatórios, os valores das saídas num instante **t** dependem exclusivamente dos valores das entradas neste instante:

$z_i(t) = f_i(x_1(t), x_2(t), x_3(t), \ldots, x_n(t))$, i = 1, 2, ..., n

Circuitos Lógicos Sequenciais

- Nos circuitos seqüenciais, os valores das saídas num instante **t** dependem dos valores das entradas neste instante e também em instantes passados:

$z_i(t) = f_i(x_1(t), x_1(t-1), x_1(t-2), \ldots, x_2(t), x_2(t-1), \ldots, x_3(t), x_3(t-1), \ldots, x_n(t), x_n(t-1), \ldots)$, i = 1, 2, ..., n

- Exemplo:
  - cadeado de mala
  - cadeado de cofre.

Circuitos Lógicos Síncronos

- Os circuitos lógicos seqüenciais podem ser divididos em duas grandes classes:
  - circuitos seqüenciais síncronos
  - circuitos seqüenciais assíncronos
- Tais classes diferem quanto ao instante de alteração das saídas do circuito

Circuitos Lógicos Síncronos

- Nos circuitos *síncronos*, as alterações nas saídas ocorrem em instantes específicos, sincronizados com a ocorrência de um sinal numa entrada especial denominada relógio (clock).
- Nos circuitos *assíncronos*, as alterações nas saídas ocorrem em qualquer instante, de acordo com alterações dos valores nas entradas.

Elementos de Memória

- Para guardar os valores passados das entradas, utiliza-se a noção de estado.
- Pode-se considerar um circuito seqüencial síncrono como uma implementação de uma máquina de estado finito
- A questão fundamental é a seguinte:
  - Como implementar um estado? ou
  - Como armazenar uma informação quando ela não está mais presente?

Elementos de Memória

- Os circuitos básicos que implementam a função de memória são denominados biestáveis (flip-flops).
- Existem diversos tipos de flip-flops, alguns dos quais serão estudados neste curso

Flip-Flop RS Negativo

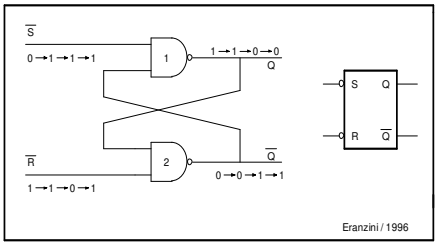


FIGURA 7.3 - FLIP-FLOP SET-RESET NEGATIVO

Flip-Flop RS Negativo

$\overline{S}$(t)	$\overline{R}$(t)	Comportamento	Observação
0	1	impõe $Q=1$ e $\overline{Q}=0$	SET
1	0	impõe $Q=0$ e $\overline{Q}=1$	RESET
1	1	mantém o estado anterior	MANTÉM
0	0	estado proibido: $Q=\overline{Q}=1$	PROIBIDO

Flip-Flop RS Negativo

- O circuito "lembra"a última entrada que assumiu o valor 0.
- O valor $\overline{S}=\overline{R}=0$ é proibido pois
  - não se deseja o mesmo valor para Q e $\overline{Q}$.
  - se após $\overline{S}=\overline{R}=0$ tem-se $S=R=1$, o circuito pode oscilar (caso o atraso nas portas seja idêntico) ou ter um comportamento não determinístico.

Flip-Flop RS Negativo

$Q(t)$ \ $\overline{S}(t)\overline{R}(t)$	00	01	11	10
0	1	1		
1	1	1	1	

$Q(t+1)$

$$Q(t+1) = S(t) + \overline{R}(t).Q(t)$$

- Desvantagem: tem configuração proibida nas entradas.

Flip-Flop RS Positivo

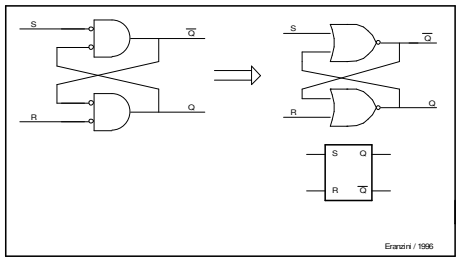


FIGURA 7.4 - FLIP-FLOP R-S POSITIVO

Flip-Flop RS Positivo

S	R	Q(t)	Q(t+1)	Observação
0	0	0	0	MANTÉM
0	0	1	1	
0	1	0	0	RESET
0	1	1	0	
1	0	0	1	SET
1	0	1	1	
1	1	0	0	PROIBIDO
1	1	1	0	

Flip-Flop RS Positivo

- O circuito "lembra"a última entrada que assumiu o valor 1.
- O valor $S = R = 1$ é proibido pois
  - não se deseja o mesmo valor para Q e $\overline{Q}$.
  - se após $S = R = 1$ tem-se $S = R = 0$, o circuito pode oscilar (caso o atraso nas portas seja idêntico) ou ter um comportamento não determinístico.

Flip-Flop RS Positivo

$Q(t)$ \ $S(t)R(t)$	00	01	11	10
0				1
1	1			1

$Q(t+1)$

$$Q(t+1) = S(t).\overline{R}(t) + \overline{R}(t).Q(t)$$

- Desvantagem: tem configuração proibida nas entradas.

Flip-Flop RS com Controle

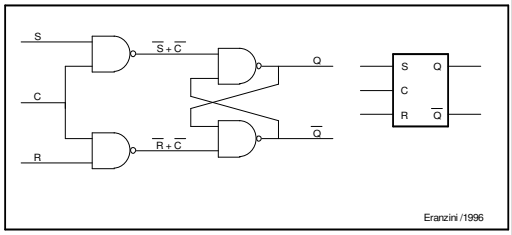


FIGURA 7.5 - FLIP-FLOP SET-RESET COM CONTROLE

Flip-Flop RS com Controle

$C = 0$	$\overline{S} + \overline{C} = \overline{R} + \overline{C} = 1$	Repouso na célula básica
$C = 1$	$\overline{S} + \overline{C} = \overline{S}$ $\overline{R} + \overline{C} = \overline{R}$	Funciona como flip-flop RS positivo

Desvantagem: quando C = 1, ainda tem configuração proibida nas entradas.

Carta/Diagrama de Tempos

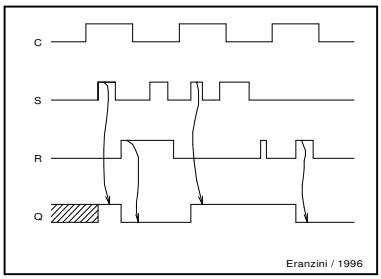


FIGURA 7.6 - CARTA DE TEMPOS - FLIP-FLOP R-S-C

Flip-Flop D Sensível a Nível

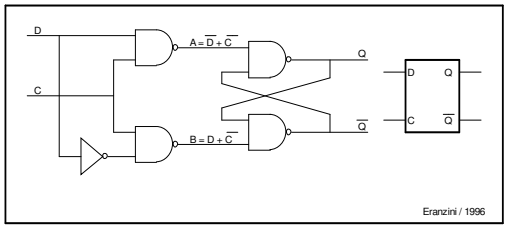


FIGURA 7.7 - D-LATCH

Flip-Flop D Sensível a Nível

$C = 0$	$\overline{C} + \overline{D} = \overline{C} + D = 1$	Repouso na célula básica
$C = 1$	$A = \overline{C} + \overline{D} = \overline{D}$ $B = \overline{C} + D = D$	$D = 1 \rightarrow Q = 1$ $D = 0 \rightarrow Q = 0$ Copia D em Q

Desvantagem: Embora não exista mais configuração proibida nas entradas, não se consegue armazenar um valor preciso de D caso este se altere quando C = 1

Carta/Diagrama de Tempos

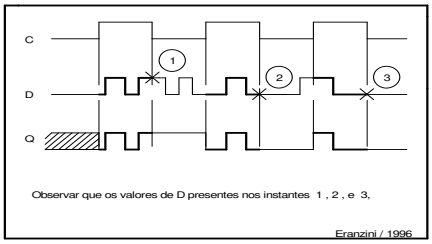


FIGURA 7.8 - CARTA DE TEMPOS - D LATCH

Flip-Flop D Sensível a Nível

Flip-Flop J-K

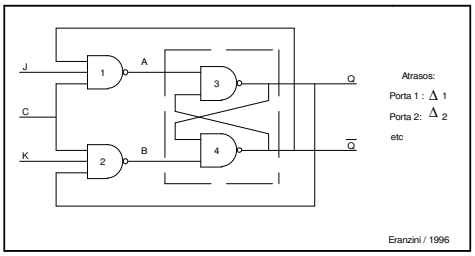


FIGURA 7.10 - FLIP-FLOP J-K

Flip-Flop J-K

$C = 1$	$Q(t+1) = \overline{A.\overline{Q}} = \overline{A.\overline{BQ}} = \overline{A} + BQ$ mas $A = \overline{J} + Q(t)$ $B = \overline{K} + \overline{Q}(t)$ $Q(t+1) = J\overline{Q}(t) + \overline{K}Q(t)$	
$C = 0$	$A = B = 1$	Repouso na célula básica

Flip-Flop J-K

J	K	Q(t)	Q(t+1)	Observação
0	0	0	0	MANTÉM
0	0	1	1	
0	1	0	0	RESET
0	1	1	0	
1	0	0	1	SET
1	0	1	1	
1	1	0	1	INVERTE
1	1	1	0	

Flip-Flop J-K

– Aparentemente, não existe configuração proibida nas entradas, já que se J = K = 1, o flip-flop muda de estado

–No entanto, se o sinal C se mantiver no nível 1 durante um tempo maior do que o tempo de propagação $\Delta_1 + \Delta_3 + \Delta_4$ (ou $\Delta_2 + \Delta_3 + \Delta_4$), o flip -flop irá novamente mudar de estado!

Desvantagem: não existem valores proibidos de J e K desde que a largura do pulso do sinal C seja suficientemente estreita

Flip-Flop J-K Mestre- Escravo

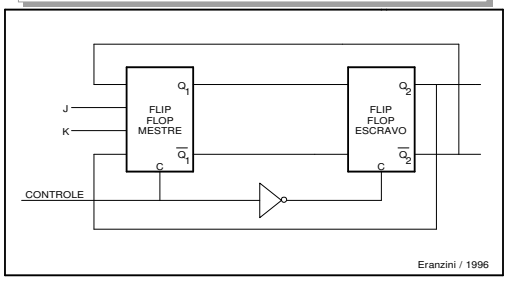


FIGURA 7.11 - DIAGRAMA EM BLOCOS - MESTRE-ESCRAVO

Flip Flop J-K Mestre- Escravo

$C = 1$	Mestre Ativo Escravo Inativo	Variações de J e K alteram Q_1 e $\overline{Q_1}$
$C = 0$	Mestre Inativo Escravo Ativo	Q_1 e $\overline{Q_1}$ não se alteram e Q_2 e $\overline{Q_2}$ assumam valores que dependem de Q_1 e $\overline{Q_1}$

Não existem mais configurações proibidas nas entradas.

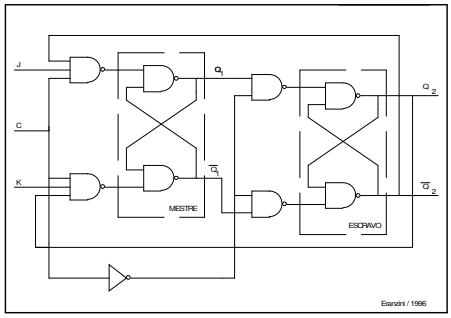


FIGURA 7.13 - FLIP-FLOP J-K MESTRE-ESCRAVO

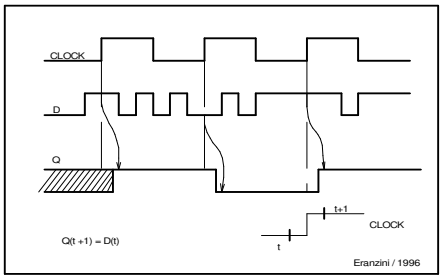
Flip-Flops Sensíveis à Borda

- Em todas as soluções apresentadas,a informação a ser armazenada no flip-flop deve permanecer constante durante o intervalo de atuação do sinal de controle.
- O ideal é estabelecer um instante preciso para armazenar a informação.

Flip-Flops Sensíveis à Borda

- **Borda**: o instante em que um sinal digital muda de nível lógico.
  - *Borda de subida* (↑): muda de 0 para 1
  - *Borda de descida* (↓): muda de 1 para 0
- O sinal de controle é chamado de **clock** (relógio), e geralmente consiste num sinal periódico, cuja frequência é muito maior que as frequências envolvidas no circuito

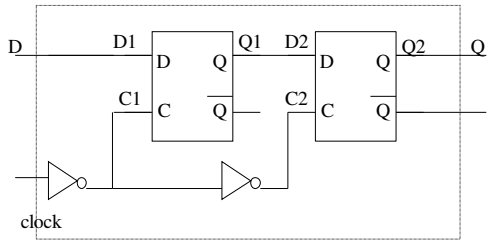
Carta/Diagrama de Tempos



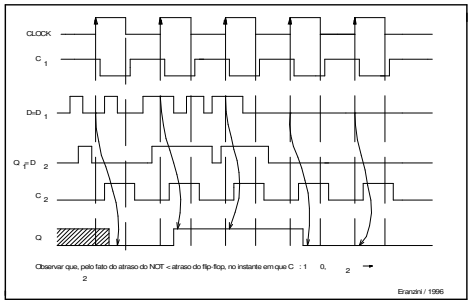
Flip-Flop D Sensível à Borda de Subida

- Pode-se utilizar o esquema mestre-escravo para se obter um flip-flop tipo D sensível à borda:
  - utilizam-se dois flip-flops tipo D sensíveis a nível
  - o estágio mestre atua quando clock = 0
  - o estágio escravo atua quando clock = 1

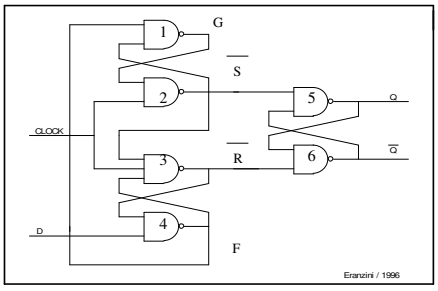
Flip-Flop D Sensível à Borda de Subida



Flip-Flop D Sensível Borda de Subida

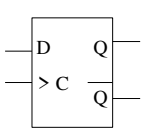


Flip-Flop D Sensívelà Borda de Subida

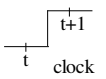


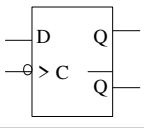
DE SUBIDA

Representação de Flip-Flops Sensíveis à Borda



D(t)	C	D(t+1)
0	↑	0
1	↑	1

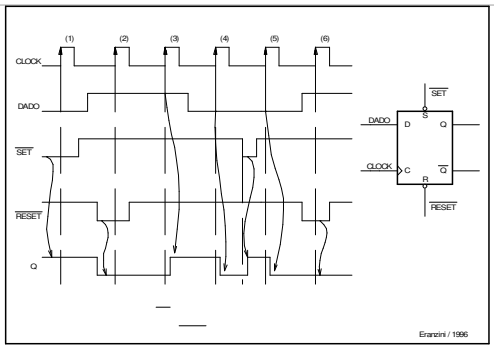




D(t)	C	D(t+1)
0	↓	0
1	↓	1

Observações

- Nos flip-flops sensíveis à borda, é comum introduzir entradas do tipo set-reset assíncronas, que atuam sobre a saída independentemente do sinal do clock.
- Tais entradas servem para impor condições iniciais aos flip-flops



Bibliografia

[1] Edith Ranzini e Edson Fregni, *Notas de Aula de PCS-214*, Parte 2, Capítulo 7, Outubro de 1999.